

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

SOIP08

JC868 U.S. PRO
09/872955
06/01/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月 2日

出願番号

Application Number:

特願2000-166401

出願人

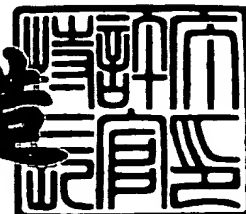
Applicant(s):

ソニー株式会社

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3020877

【書類名】 特許願

【整理番号】 0000289001

【提出日】 平成12年 6月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 荒木 健次

【発明者】

【住所又は居所】 長野県南安曇郡豊科町大字豊科5432番地 ソニーデ
ジタルプロダクツ株式会社内

【氏名】 横山 礼夫

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【連絡先】 知的財産部 03-5448-2137

【手数料の表示】

【予納台帳番号】 005094

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プリント基板の配線構造チェックシステム

【特許請求の範囲】

【請求項1】 プリント基板上に仮設計された配線の配線構造をチェックするためのプリント基板の配線構造チェックシステムであって、

前記配線上に存在する部品群からドライバとレシーバの組み合わせを順次に抽出すると共に、前記組み合わせの一つに対応するドライバの回路情報を抽出した後、該回路情報の少なくとも一部を変数に含む所定の判定式の評価結果に応じて、高速信号配線が存在するか否かを判定する対象判定手段と、

前記配線の配線構成の最小単位の集合であるセグメント群の中から、最も基板端に近いセグメントを抽出するセグメント抽出手段と、

前記抽出されたセグメントの配線構成を調査して、該セグメントのドライバからレシーバに向かう配線との垂直距離が最も近いプレーン端を特定するプレーン端特定手段と、

前記セグメントのドライバからレシーバに向かう配線との垂直距離を測定する垂直距離測定手段と、

前記抽出されたセグメントの配線構造の型及び回路仕様に基づいて、該セグメントの配線層とプレーン層間に最低限度必要な層間距離を計算する層間距離計算手段と、

前記測定された垂直距離と、前記計算された層間距離とを比較する距離判定手段と、

前記距離判定手段による判定結果により、前記配線に対応した所定の指示を含むメッセージを表示するメッセージ表示手段と、

を有することを特徴とするプリント基板の配線構造チェックシステム。

【請求項2】 前記回路情報に応じて前記配線に流されるパルス電流の電圧レベルを算出する手段と、該算出された電圧レベルが所与の基準電圧よりも低い時に、高速信号配線が存在するものと判定する対象判定手段を備えたことを特徴とする請求項1記載のプリント基板の配線構造チェックシステム。

【請求項3】 前記回路情報に含まれる最大適用周波数、立ち上がり時間、

パルス幅、振幅を変数に含む所定の条件式の判定結果に応じて、前記電圧レベルを計算する手段を有することを特徴とする請求項 2 記載のプリント基板の配線構造チェックシステム。

【請求項 4】 前記配線構造の型には、マイクロストリップライン、シングルストリップライン、ダブルストリップラインが含まれることを特徴とする請求項 1 記載のプリント基板の配線構造チェックシステム。

【請求項 5】 前記回路情報の少なくとも一部を変数に含む所定の算式による計算結果を含めたメッセージを表示するメッセージ表示手段を備えたことを特徴とする請求項 1 記載のプリント基板の配線構造チェックシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プリント基板の配線構造チェックシステムに関し、特に、電源プレーン上に配線される高速信号線が、他の信号線層へ及ぼす電磁的な影響をチェックする機能を有するプリント基板の配線構造チェックシステムに関する。

【0002】

【従来の技術】

従来、近年の電子機器に使用されているプリント基板には、電源プレーン上に高速の信号系配線（以下、「高速信号配線」と呼称する）が配備されており、かつ、一般的に、このような高速信号配線が、リファレンスとなるグランドプレーン層端、または、電源プレーン層端近辺に配線されている場合には、該信号配線から発生する電磁界が、上記のリファレンスとなるグランドプレーン層、または、電源プレーン層を越えて、他の信号線層、若しくは、他のグランド（電源）プレーン層へ回り込み、電磁界結合を発生させるといった問題点を有していた。

【0003】

上記の高速信号配線から発生する電磁界は、条件次第によっては、誤動作を発生させる原因となることもあり、さらに、外部への放射ノイズの原因ともなることもあった。

【0004】

さらに、上記の現象は、被誘導ラインへの結合による影響だけでなく、グランドプレーン層間、或いは、電源プレーン層間で発生する共振現象の原因にもなりえる場合もあった。

【0005】

しかし、従来、低速なデジタル信号においては、低速なデジタル信号が持っている電磁エネルギーはそれ程大きくはないので、他の信号配線への飛び込みや、外部への放射はそれ程顕著に現れてはいなかった。また、配線密度がそれ程高くない場合には、問題となる高速信号配線を、上記プレーン層端からは遠い基板中央部付近に容易に配置することができたので、他の信号配線への影響が生じなかった。

【0006】

【発明が解決しようとする課題】

ところで、近年の高速化に伴い、高速信号配線の数が増加したことと、軽薄短小化並びに多機能化の進展により、基板内の配線密度が高くなる傾向が一層顕著となり、高速信号配線をどうしても基板端（グランドプレーン層端、または、電源プレーン層端）寄りに配置しなければならない状況（後述する図1に示す distance を短くしなければならない状況）が生じてきており、その結果として、実際に、高速信号配線を、グランドプレーン層端（基板端とほぼ同じ）、または、電源プレーン層端寄りに配置せざるをえないケースも発生し、このことが、基板端からの放射ノイズを増大させる要因となっていた。

【0007】

また、上記の基板端から、問題となる高速信号配線を、どの程度基板内側に入り込ませて配線すれば良いのかが判らないといった問題点をも有していた。

本発明は、以上のような従来の、プリント基板の設計時点における問題点に鑑みてなされたものであり、チェック対象とする電源プレーン上に配線される高速信号配線の配置を、他配線層への電磁的な悪影響を及ぼさない位置に指定することができるプリント基板の配線構造チェックシステムを提供することを目的とする。

【0008】

【課題を解決するための手段】

上記課題を解決するために本発明では、プリント基板上に仮設計された配線の配線構造をチェックするためのプリント基板の配線構造チェックシステムであって、前記配線上に存在する部品群からドライバとレシーバの組み合わせを順次に抽出すると共に、前記組み合わせの一つに対応するドライバの回路情報を抽出した後、該回路情報の少なくとも一部を変数に含む判定式の評価結果に応じて、高速信号配線が存在するか否かを判定する対象判定手段と、前記配線の配線構成の最小単位の集合であるセグメント群の中から、最も基板端に近いセグメントを抽出するセグメント抽出手段と、前記抽出されたセグメントの配線構成を調査して、該セグメントのドライバからレシーバに向かう配線との垂直距離が最も近いプレーン端を特定するプレーン端特定手段と、前記セグメントのドライバからレシーバに向かう配線との垂直距離を測定する垂直距離測定手段と、前記抽出されたセグメントの配線構造の型及び回路仕様に基づいて、該セグメントの配線層とプレーン層間に最低限度必要な層間距離を計算する層間距離計算手段と、前記測定された垂直距離と、前記計算された層間距離とを比較する距離判定手段と、前記距離判定手段による判定結果により、前記配線に対応した所定の指示を含むメッセージを表示するメッセージ表示手段とを有することを特徴とするプリント基板の配線構造チェックシステムが提供される。

【0009】

即ち、本発明では、チェック対象となる基板上の信号配線に関し、電源プレーン上に、高速信号配線が存在するか否かを検証する手段と、上記の高速信号配線が存在する場合に、上記電源プレーン上に仮設計された上記高速信号配線の配置（即ち、グランドプレーン層端または電源プレーン層端からの垂直距離（*dist*））を測定すると共に、上記高速信号配線に係る回路仕様に基づいて、（上記高速信号配線の配置に関する上記説明の垂直距離に関して）最低限確保すべき距離を所定の算式で算出し、上記測定した垂直距離（*dist*）と、上記算出した最低限確保すべき距離とを比較する手段と、上記測定した垂直距離（*dist*）が、上記計算した最低限確保すべき距離を超えていない場合には、上記信号配線名に対応する適切な指示メッセージを表示する手段を設け、これにより、配線設

計の支援を可能としている。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上のグランド（電源）プレーン層端と高速信号線との関係を示す配線図である。

【0011】

図1に示す配線図は、電源プレーン1と、電源プレーン1上に設置されたドライバ11と、レシーバ12と、ドライバ11とレシーバ12とを結ぶ高速信号配線13とを備える。

【0012】

図2～4は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線構造を示す配線構造図である。

図2は、マイクロストリップラインと呼ばれる配線構造を示し、図3は、シングルストリップラインと呼ばれる配線構造を示し、図4は、ダブルストリップラインと呼ばれる配線構造を示す。

【0013】

図2に示す配線構造は、電源ベタ層21（プレーン層）と、電源ベタ層21上の配線22を備え、図3に示す配線構造は、電源ベタ層31と、電源ベタ層31間の配線32を備え、図4に示す配線構造は、電源ベタ層41と、電源ベタ層41間の2系統の配線42を備える。

【0014】

なお、図2は、一般的な配線基板上の配線構造を示しているが、図1に示す高速信号配線も、図2に示す配線の範疇に含まれるものとする。

また、図2～4に示す配線構造において、符号wで示す長さは、配線の配線幅（ μm ）を示し、符号tで示す長さは、配線の配線厚を示し、符号hで示す長さは、マイクロストリップライン構造における配線とプレーン層間の距離（ μm ）を示し、符号bで示す長さは、シングルストリップライン構造におけるプレーン

層間の距離 (μm) を示し、符号 a で示す長さは、シングルストリップライン又はダブルストリップライン構造における配線と該配線に垂直距離が最も近いプレーン層間の距離 (μm) を示し、符号 d で示す長さは、ダブルストリップライン構造における 2 系統の配線の配線間距離 (μm) を示し、符号 (ϵ_r) は、シングルストリップライン構造における電源ベタ層 4 1 間及びダブルストリップライン構造における電源ベタ層 4 1 間の比誘電率を示し、符号 (ϵ_{reff}) は、マイクロストリップライン構造における電源ベタ層 3 1 と高速信号配線 3 2 間の実効比誘電率を示し、符号 (d_{ist}) は、高速信号配線と電源層端との垂直距離 (m) を示す。

【0015】

以下、本発明に係るプリント基板の配線構造チェックシステムの機能を説明する。

但し、本発明に係るプリント基板の配線構造チェックシステムの構成については、通常のコンピュータシステムとなるので、図示は省略する。

【0016】

本発明に係るプリント基板の配線構造チェックシステムでは、チェック対象とするグラウンド（電源）プレーン上に存在する仮設計の高速信号配線に対して、該高速信号配線に最も近いプレーン層端または電源プレーン層端までの垂直距離を測定すると共に、上記高速信号配線と上記プレーン層端とが最低限確保すべき距離を、(1)～(6) 式で計算し、上記測定した垂直距離が上記計算した最低限確保すべき距離よりも短いかなの検証、即ち、上記高速信号配線が、グラウンドプレーン層端または電源プレーン端に近づき過ぎているかなのチェックを実施し、上記測定した距離が、上記最低限確保すべき距離よりも短い場合には、エラーメッセージを出力表示すると共に、上記高速信号配線を、上記計算で与えられる必要距離だけ基板中心方向に移動させるように指示することにより、従来の設計工程を変えることなく、更に、設計コストを上げることも無く、高速信号配線から発生する放射ノイズを大幅に抑える設計を可能としている。

【0017】

図 5、6 は、本発明の実施の形態に係るプリント基板の配線設計支援方法の配

線構造チェックシステムの動作を示すフローチャートである。

以下、図1乃至4を参照しつつ、図5、6に示すフローチャートを使用して、本実施の形態に係るシステムの動作を説明する。

【0018】

以下、上記ドライバとレシーバ間の上記高速信号配線を流れる電流のパルス幅 (Sec) を符号 τ で示し、該パルスの立ち上がり時間 (Sec) を符号 τ_r で示し、上記信号配線を流れる電流の最大適用周波数 (MHz) を符号 f_x で示し、上記信号配線を流れる電流の最大適用周波数 f_x における電圧レベルを $Level_{f_x}$ で示す。

【0019】

また、符号 $K_1 \sim K_4$ を所与の定数とし、特に、符号 K_1 は、上記信号配線を流れる電流の所与の最大適用周波数 (MHz) とし、符号 K_2 は、上記最大適用周波数 f_x における電圧レベルの所与の基準レベルとする。

【0020】

但し、図5に示すフローチャート及び下記の説明中で使用する (1) ~ (7) 式については、纏めて後述する。

まず、ステップ S1 では、(1) 式の代入を実行することで、チェックに必要な初期条件を設定する。

【0021】

ステップ S2 では、基板情報を格納する基板データベース (図示は省略) から全ての配線名を抽出する。

ステップ S3 では、一つの配線名上に存在する全ての部品を抽出し、それらをドライバのリストとレシーバのリストに分類する。

【0022】

ステップ S4 では、上記ドライバのリスト、及びレシーバのリストから、ドライバとレシーバの組み合わせリストを作成する。

ステップ S5 では、上記作成したドライバとレシーバの組み合わせリストから、一組を取り出し、該組に関するドライバの回路情報を抽出する。

【0023】

ステップS6では、条件式として $1/\pi\tau r < f_x$ を判定し、該条件式が満たされていれば、ステップS8にて、後述する(2)式により $Level_{fx}$ を算出し、該条件式が満たされていなければ、ステップS7に移る。

【0024】

ステップS7では、条件式として $1/\pi\tau r \geq f_x$ かつ $1/\pi\tau < f_x$ を判定し、該条件式が満たされていれば、ステップS9にて、後述する(3)式により $Level_{fx}$ を算出し、該条件式が満たされていなければ、ステップS10にて、後述する(4)式により $Level_{fx}$ を算出し、ステップS11に移る。

【0025】

ステップS11では、上記ドライバとレシーバ間の上記高速信号配線を流れる電流の基準レベルを K_2 とする時、定数 K_2 を含む条件式として $Level_{fx} \geq K_2$ （即ち、(5)式）を判定し、該条件式が満たされていなければ、上記のステップS5に戻り、該条件式が満たされていれば、下記のステップS12に移る。

【0026】

ステップS12では、下記の一連のステップにより、上記ドライバとレシーバ間の配線構成を順次に一つずつに、ドライバ端からレシーバ端に向かって調査するための準備をする。

【0027】

ステップS13では、配線の最小構成単位（セグメント）群の中から、最も基板端に近いセグメント（ここでは、セグメントAとする）を抽出する。

ステップS14では、セグメントAの配線構成を調査し、プレーン端を特定する（以下、図6に示すフローチャートの説明に移る）。

【0028】

ステップS15では、セグメントAと最も近い上記特定されたプレーン端との距離を測定する。

ステップS16では、セグメントAに係る配線構造がマイクロストリップラインであるか否かを検証し、マイクロストリップラインでなければ、ステップS17に移り、マイクロストリップラインであれば、ステップS18に移る。

【0029】

ステップS17では、セグメントAに係る配線構造がシングルストリップライン又はダブルストリップラインであるか否かを検証し、シングルストリップライン又はダブルストリップラインでなければ、後述するステップS26に移り、シングルストリップライン又はダブルストリップラインであれば、後述するステップS19に移る。

【0030】

ステップS18では、配線層とプレーン層との間の距離(h)を測定し、後述するステップS20に移る。

ステップS19では、配線層とプレーン層との間の距離(a)を測定し、後述するステップS21に移る。

【0031】

ステップS20では、(6)式の評価、即ち、符号(dist)で示される垂直距離が定数 $K3 \times h$ を超えるか否かを判定し、超える場合は、後述するステップS26に移り、超えない場合は、後述するステップS22に移る。

【0032】

ステップS21では、(7)式の評価、即ち、符号(dist)で示される垂直距離が定数 $K4 \times a$ を超えるか否かを判定し、超える場合は、後述するステップS26に移り、超えない場合は、ステップS22に移る。

【0033】

ステップS22では、上記特定したプレーン端と、該プレーン端に最も垂直距離が近い基板端との間に、同電位／異電位の別のプレーンが存在するか否かを調査する。

【0034】

ステップS23では、上記別のプレーンが存在する場合は、制御の流れを後述するステップS26に移し、存在しない場合は、ステップS24に移る。

ステップS24では、上記配線名に対応する対策指示(1)を出力表示する。該対策指示(1)としては、例えば、「配線(セグメントA)をプレーン端から距離(20aまたは20h)以上離しなさい」といった内容が可能である。

【 0 0 3 5 】

ステップ S 2 5 では、引き続き、上記配線名に対応する対策指示 (2) を出力表示する。該対策指示 (2) としては、例えば、「配線 (セグメント A) と基板端との間にガード配線を追加しなさい」といった内容が可能である。

【 0 0 3 6 】

ステップ S 2 6 では、次のドライバとレシーバの組み合わせリストをチェックする。

ステップ S 2 7 では、全てのドライバとレシーバの組み合わせリストをチェックし終えたならば、次の配線名をチェックする。

【 0 0 3 7 】

ステップ S 2 8 では、全ての配線名をチェックしたならば、上記全ての対策指示、即ち、対策指示 (1), (2) を表示出力して処理を終了する。

図 7 は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上の配線の 1 例を示す配線図である。

【 0 0 3 8 】

図 7 に示す配線基板上の配線 (基板配線) は、電源プレーン 7 と、電源プレーン 7 上のドライバ 7 1 及びレシーバ 7 2 と、ドライバ 7 1 とレシーバ 7 2 とを結ぶ高速信号配線 7 3 を備える。

【 0 0 3 9 】

上記基板配線の仕様は、下記のとおりとする。

即ち、信号配線名を E 1 とし、配線全長を 1 0 0 . 0 (mm) とし、ドライバ (D) を I C 1 0 0 , 1 pin とし、レシーバ (R) を I C 2 0 0 , 1 pin とし、動作周波数を 5 0 . 0 (MHz) とし、パルス幅 (τ) を 1 0 . 0 (ns) とし、立ち上がり時間 (τ_r) を 1 . 0 (ns) とし、振幅 (A) を 3 . 3 (V) とし、配線とプレーン端との垂直距離 (dist) を 0 . 1 6 (mm) とする。

【 0 0 4 0 】

図 8 は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上の配線構造の 1 例を示す配線構造図である。

図 8 に示す配線基板上の配線構造の仕様は、下記のとおりとする。

【0041】

即ち、配線構造の型はマイクロストリップラインとし、配線幅 (W) を 0. 1 6 (mm) = 1 6 0 (μ m) とし、配線厚 (t) を 0. 0 4 (mm) = 4 0 (μ m) とし、配線高 (h) を 0. 1 0 (mm) = 1 0 0 (μ m) とし、実効比誘電率 (ϵ_{reff}) を 4. 3 とし、配線とプレーン端との垂直距離 (dist) を 0. 1 6 (mm) とする。

【0042】

図 9 ～ 1 0 は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムを、図 6 に示す基板配線を備え、かつ図 7 に示す配線構造を備えたプリント基板を対象として実行した時の処理過程を示したフローチャートである。

【0043】

図 9 ～ 1 0 に示すフローチャートにおいて、太い実線で示す経路は、上記実行時において実際に実行された処理の経路を示し、破線で示す経路は、上記実行時において実行されなかった処理の経路を示す。

【0044】

ここでは、ステップ S 1 ～ S 6, S 8, S 1 1 ～ S 1 6, S 1 8, S 2 0, S 2 2 ～ S 2 8 の経路で示す間の処理が実行され、他の処理は実行されなかったことを示している。

【0045】

以下、上記処理過程を、実際に実行された処理をトレースして説明する。

但し、ここでは、定数 $K 1 = 1 2 0 0$ 、即ち、所与の最大適用周波数 $f_x = 1 2 0 0$ (MHz) とし、また、定数 $K 2 = 7 2. 0$ 、即ち、所与の基準レベルを 7 2. 0 (dB μ V) とし、さらに、定数 $K 3$, $K 4$ をいずれも 2 0 と設定する。

【0046】

まずステップ S 1 では、初期条件として、最大適用周波数 f_x (MHz) = 1 2 0 0 (MHz)、基準レベル = 7 2. 0 (dB μ V) を設定する。

ステップ S 2 では、図 7, 8 に示す基板配線の配線名 E 1 を抽出する。

【0047】

ステップ S 3, S 4 では、ドライバのリスト (IC 1 0 0) と、レシーバのリ

スト (IC200) から、組み合わせリスト (IC100, IC200) を作成する。

【0048】

ステップ S5, S6, S8 では、上記ドライバの回路情報から符号 τ , τ_r で示される回路変数を抽出し、(2) 式を用いて、 $Level_{fx} = 87.3 \text{ (dB } \mu\text{V)}$ を算出する。

【0049】

ステップ S11 では、上記の $Level_{fx} = 87.3 \text{ (dB } \mu\text{V)}$ と、上記の基準レベル、即ち、 $72.0 \text{ (dB } \mu\text{V)}$ とを比較する。

ステップ S12 ~ S14 では、上記の配線名 E1 なる基板配線の配線構成を調査した結果、基板端に最も近いセグメントであるセグメント A の存在を確認してプレーン端を特定する。

【0050】

ステップ S15 では、上記セグメント A に最も近いプレーン端との垂直距離 ($dist$) として、 0.16 (mm) を測定する。

S16, S18 では、上記セグメント A に係る配線構造がマイクロストリップラインであることを確認して、その配置、即ち、配線層とプレーン層との間の距離 (h) として、 0.10 (mm) を測定する。

【0051】

ステップ S20 では、上記セグメント A に最も近いプレーン端との垂直距離 ($dist$) $= 0.16 \text{ (mm)}$ と、定数 $K3 \times$ 上記の距離 (h) $= 2.0 \text{ (mm)}$ とを比較し、その結果として、ステップ S22 に移る。

【0052】

ステップ S22, S23 では、上記特定したプレーン端と最も近い基板端との間に、別のプレーンが存在しないことを確認する。

ステップ S24 では、上記配線名 E1 に対応する対策指示 (1) を表示出力する。

【0053】

ステップ S25 では、同様に、上記配線名 E1 に対応する対策指示 (2) を表

示出力する。

ステップS26～S28では、他の配線名が存在しないことを確認して、上記の対策指示(1)，(2)を表示してチェックを終了する。

【0054】

なお、高速信号配線とグランドプレーン端からの垂直距離(d i s t)が、0.16(mm)の場合と、12.5(mm)の場合とで磁界測定を行なった結果について説明する。

【0055】

トラッキングジェネレーターから0(d B m)(但し、周波数範囲は、100(MHz)～1(GHz))を入力し、磁界プローブ(ループアンテナ)にて被測定面から7m上部をX(横)方向と、Y(縦)方向に測定(近傍磁界測定)した結果、グランドプレーン端からの垂直距離が0.16(mm)のケースと、グランドプレーン端からの垂直距離が12.5(mm)のケースとの、両ケースにおいて、広範囲に磁界レベルが下がっている(最大12(d B)となる)事実を確認した。

【0056】

これにより、本発明に係るプリント基板の配線構造チェックシステムは、プリント基板配線に生じる不要な電磁波放射ノイズを大幅に抑えるような設計を可能にすることが明らかとなった。

【0057】

(数式に係る説明)

以下、上記説明で参照した数式を説明する。

但し、以下では、符号Aは、高速信号配線を流れるパルス電流の振幅(V)とし、他の符号については既述のとおりである。

【0058】

以下、上記フローチャート中の処理の説明で参照した数式を説明する。

まず、ステップS1に係る数式として、下記の(1)式がある。

【0059】

【数1】

$$f_x = K1 \dots\dots\dots (1)$$

次に、図5、9に示すフローチャートのステップS6、S8に係る条件式として、下記の(2)式がある。

【0060】

【数2】

$$\text{IF } 1/\pi \times \tau r < f_x \text{ THEN}$$

$$\text{Level}_{f_x} = 120 + 20 \log_{10} (A \times \tau r / \tau) - 40 \log_{10} (f_x \times \pi \times \tau r) \dots\dots\dots (2)$$

また、図5、9に示すフローチャートのステップS7、S9に係る条件式として、下記の(3)式がある。

【0061】

【数3】

$$\text{IF } 1/\pi \times \tau r \geq f_x \text{ AND } 1/\pi \times \tau < f_x \text{ THEN}$$

$$\text{Level}_{f_x} = 120 + 20 \log_{10} (A / f_x \times \pi \times \tau r) \dots\dots\dots (3)$$

さらに、図5、9に示すフローチャートのステップS7、S10に係る条件式として、下記の(4)式がある。

【0062】

【数4】

$$\text{IF } 1/\pi \times \tau \geq f_x \text{ THEN}$$

$$\text{Level}_{f_x} = 120 + 20 \log_{10} A \dots\dots\dots (4)$$

次に、図5、9に示すフローチャートのステップS11に係る判定式として、下記の(5)式がある。

【0063】

【数5】

$$\text{Level}_{f_x} \geq K2 \dots\dots\dots (5)$$

次に、図6、10に示すフローチャートのステップS20に係る判定式として、下記の(6)式がある。

【0064】

【数 6】

$$\text{dist} \leq K3 \times h \quad \dots\dots\dots (6)$$

最後に、図 6，10 に示すフローチャートのステップ S21 に係る判定式として、下記の (7) 式がある。

【0065】

【数 7】

$$\text{dist} \leq K4 \times a \quad \dots\dots\dots (7)$$

なお、図 5，6 のフローチャートで示した処理を実行するプログラムなど、本発明の実施の形態に係るプリント基板の配線構造チェックシステムに上記の処理を行わせるためのプログラムは、CD-ROM や磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを範疇に含むコンピュータが、上記の記録媒体から上記プログラムを読み出して、実行するものとしてもよい。

【0066】

【発明の効果】

以上に説明したとおり、本発明では、電源プレーン上に仮設計された高速信号配線の配置（即ち、グランドプレーン層端または電源プレーン層端からの垂直距離）を、所定の算式で算出した最低限確保すべき距離と比較する手段を設け、上記の配置が正しくないと認められた時には、信号配線名に対応した適切な指示を表示出力することができるので、プリント基板上の配線設計の支援が可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上のグランド（電源）プレーン層端と高速信号線との関係を示す配線図である。

【図 2】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェッ

ク対象となる配線構造を示す配線構造図である。

【図 3】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる他の配線構造を示す配線構造図である。

【図 4】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる他の配線構造を示す配線構造図である。

【図 5】

本発明の実施の形態に係るプリント基板の配線設計支援方法の配線構造チェックシステムの動作を示すフローチャート（前半）である。

【図 6】

本発明の実施の形態に係るプリント基板の配線設計支援方法の配線構造チェックシステムの動作を示すフローチャート（後半）である。

【図 7】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上の配線の 1 例を示す配線図である。

【図 8】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上の配線構造の 1 例を示す配線構造図である。

【図 9】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムを、図 6 に示す基板配線を備え、かつ図 7 に示す配線構造を備えたプリント基板を対象として実行した時の処理過程を示したフローチャート（前半）である。

【図 10】

本発明の実施の形態に係るプリント基板の配線構造チェックシステムを、図 6 に示す基板配線を備え、かつ図 7 に示す配線構造を備えたプリント基板を対象として実行した時の処理過程を示したフローチャート（後半）である。

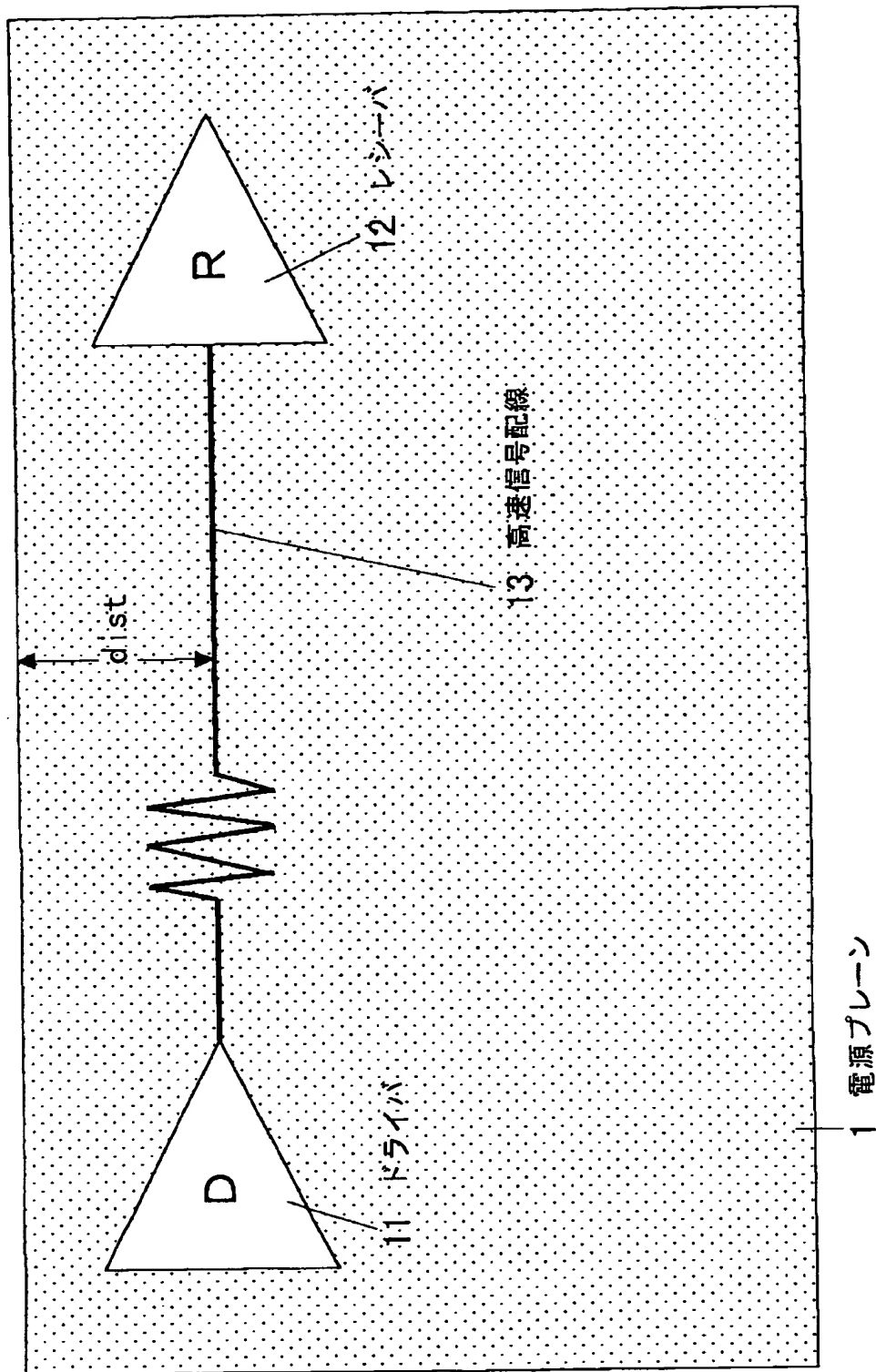
【符号の説明】

1 ……電源プレーン、 1 1 ……ドライバ、 1 2 ……レシーバ、 1 3 ……高速信

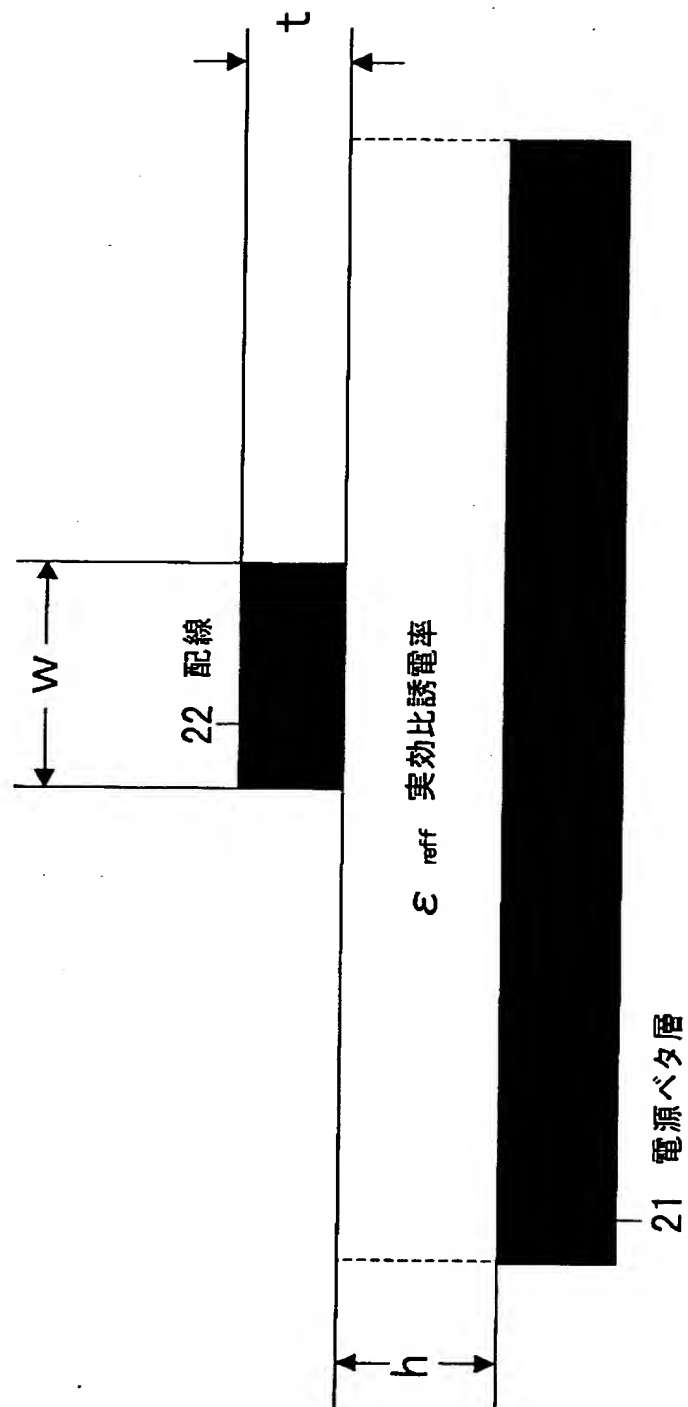
号配線、2 1, 3 1, 4 1 ……電源ベタ層、2 2, 3 2, 4 2 ……配線

【書類名】 図面

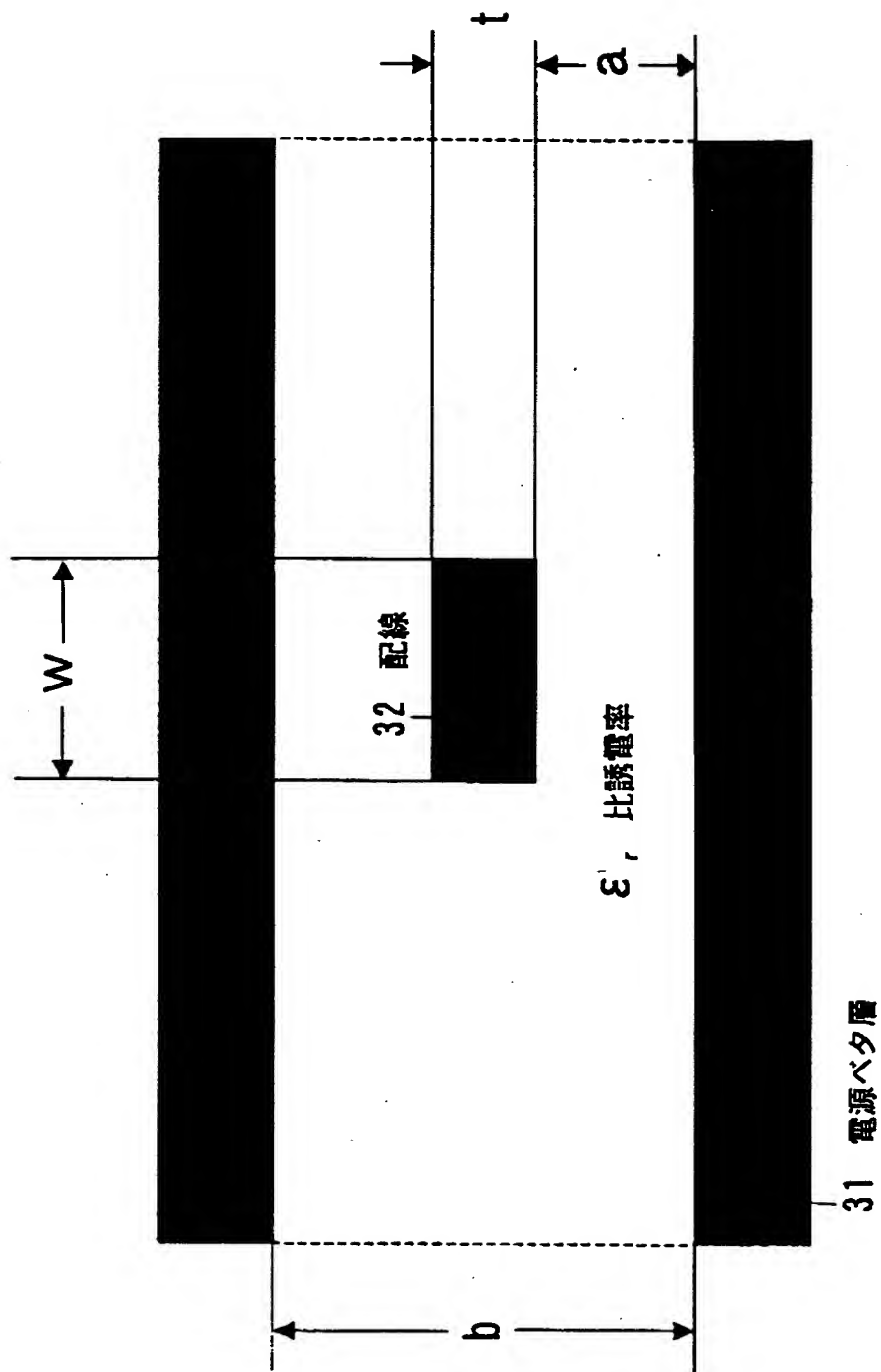
【図 1】



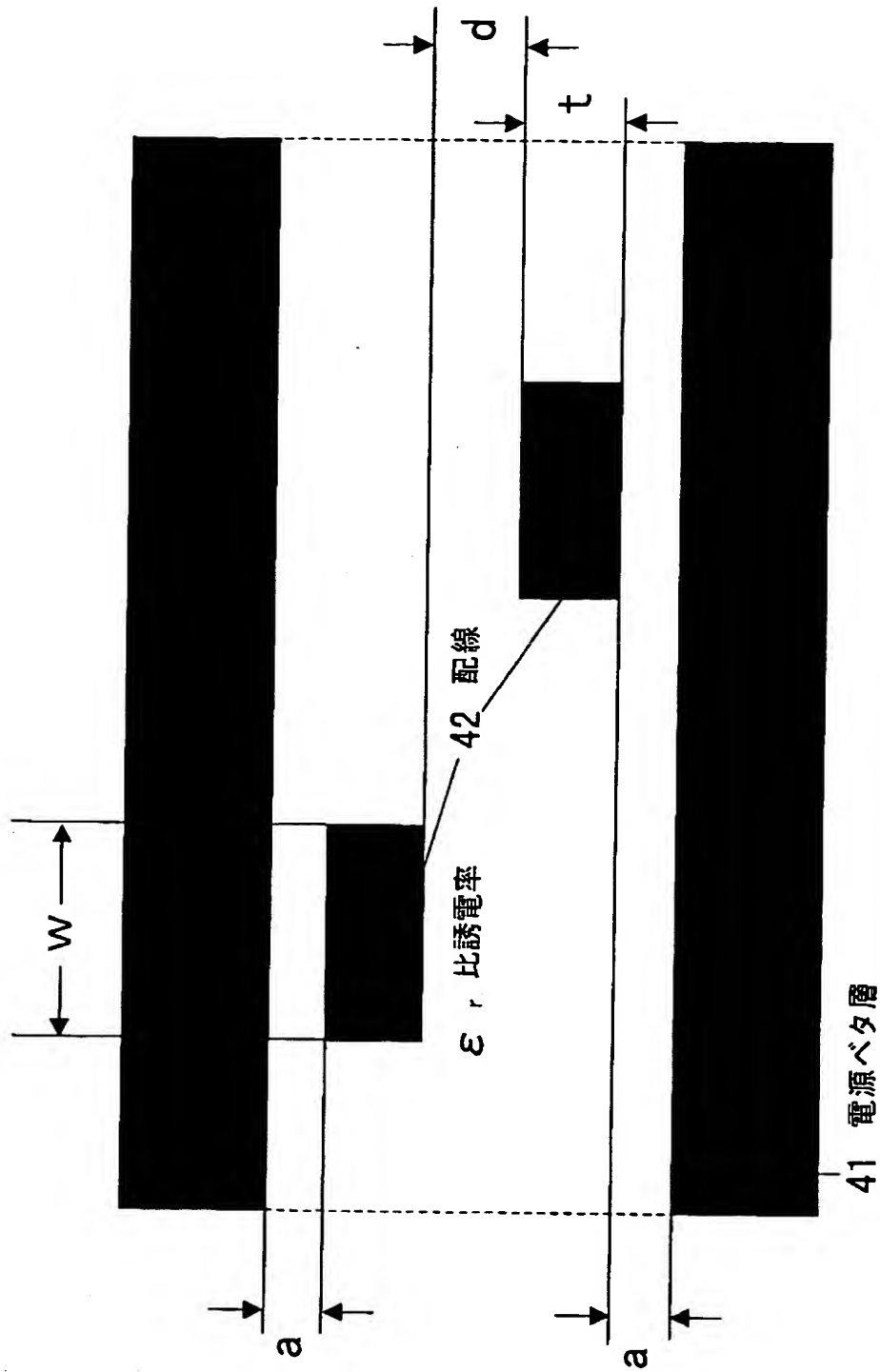
【図 2】



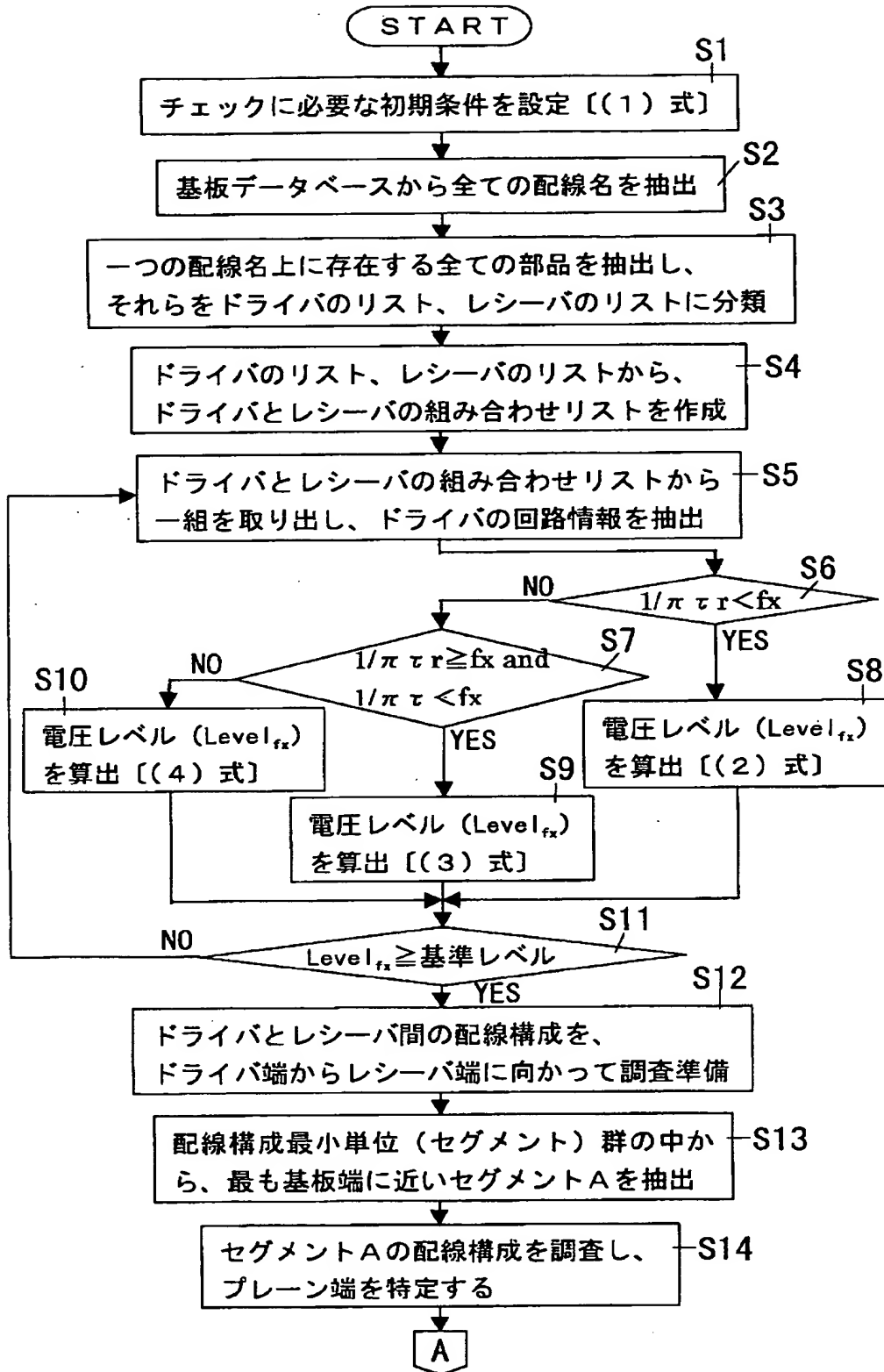
【図 3】



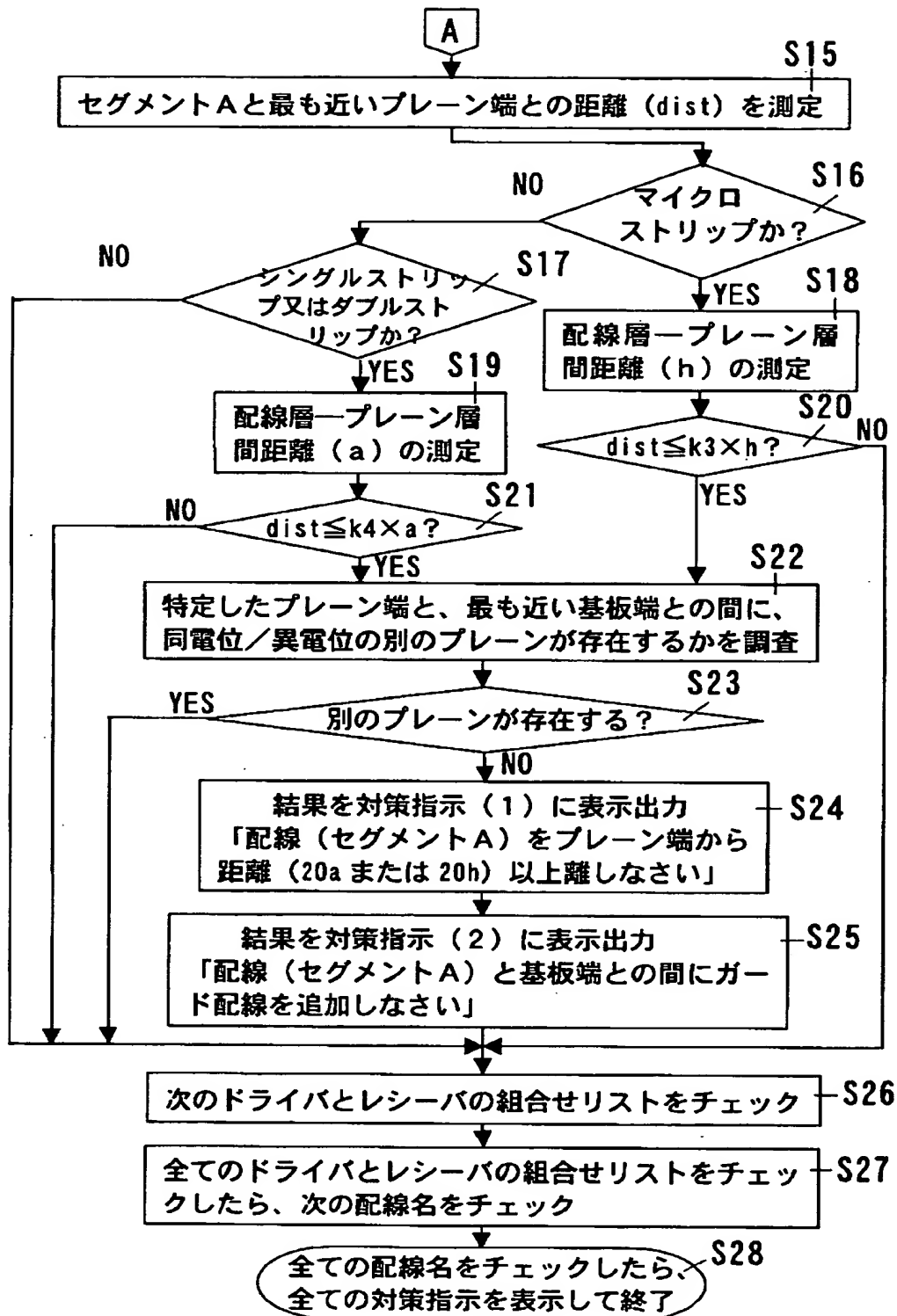
【図4】



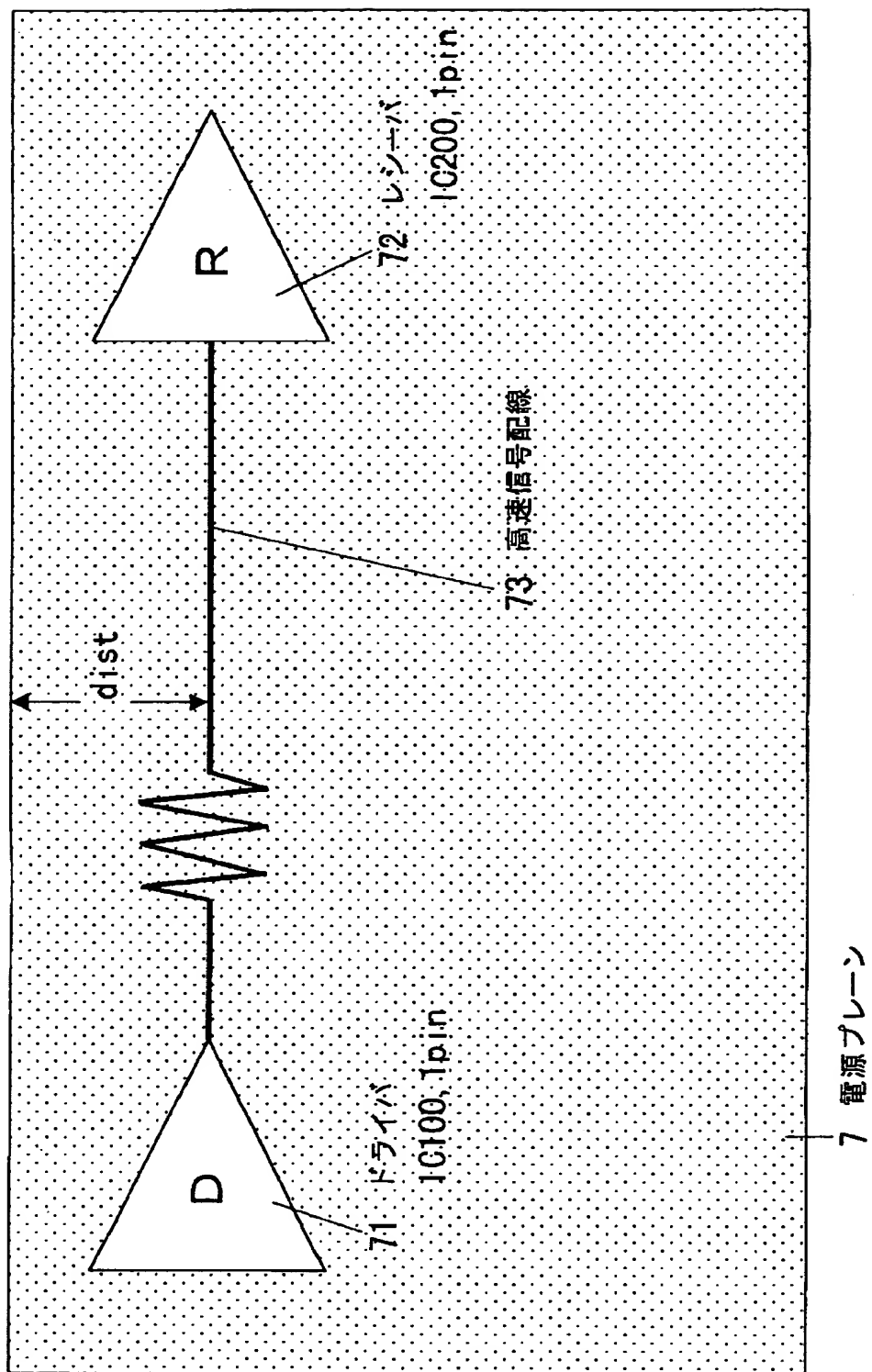
【図5】



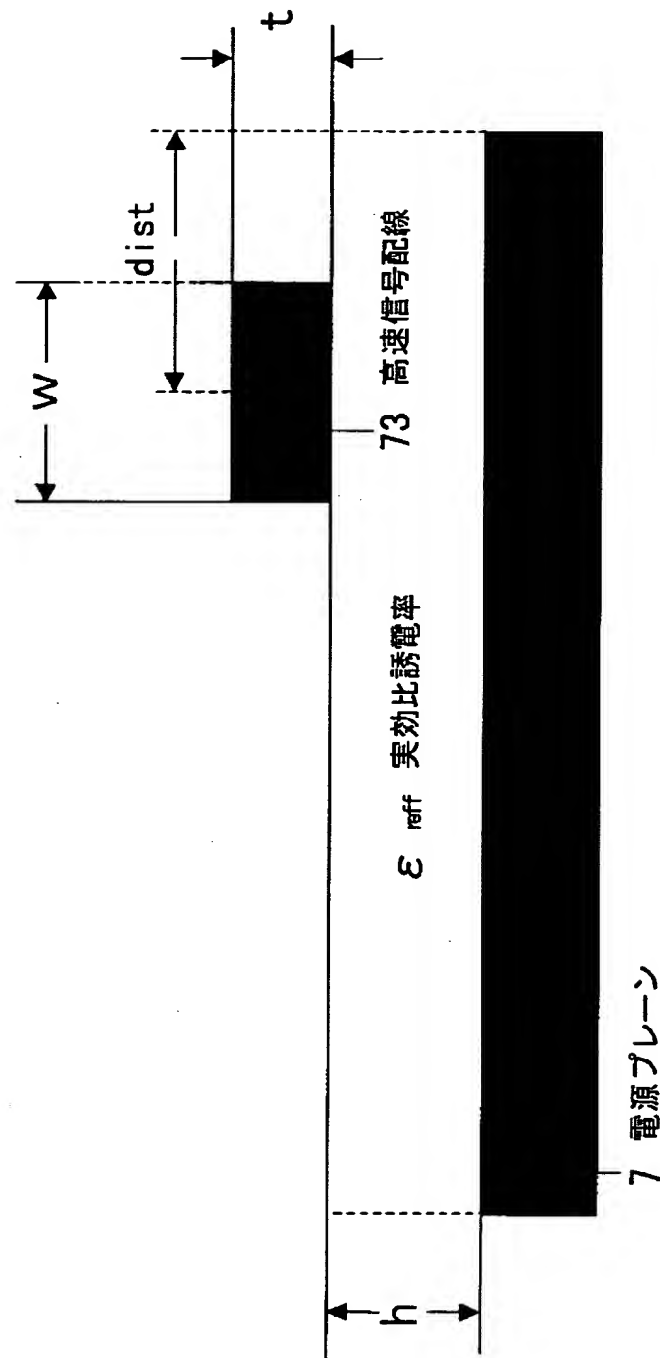
【図 6】



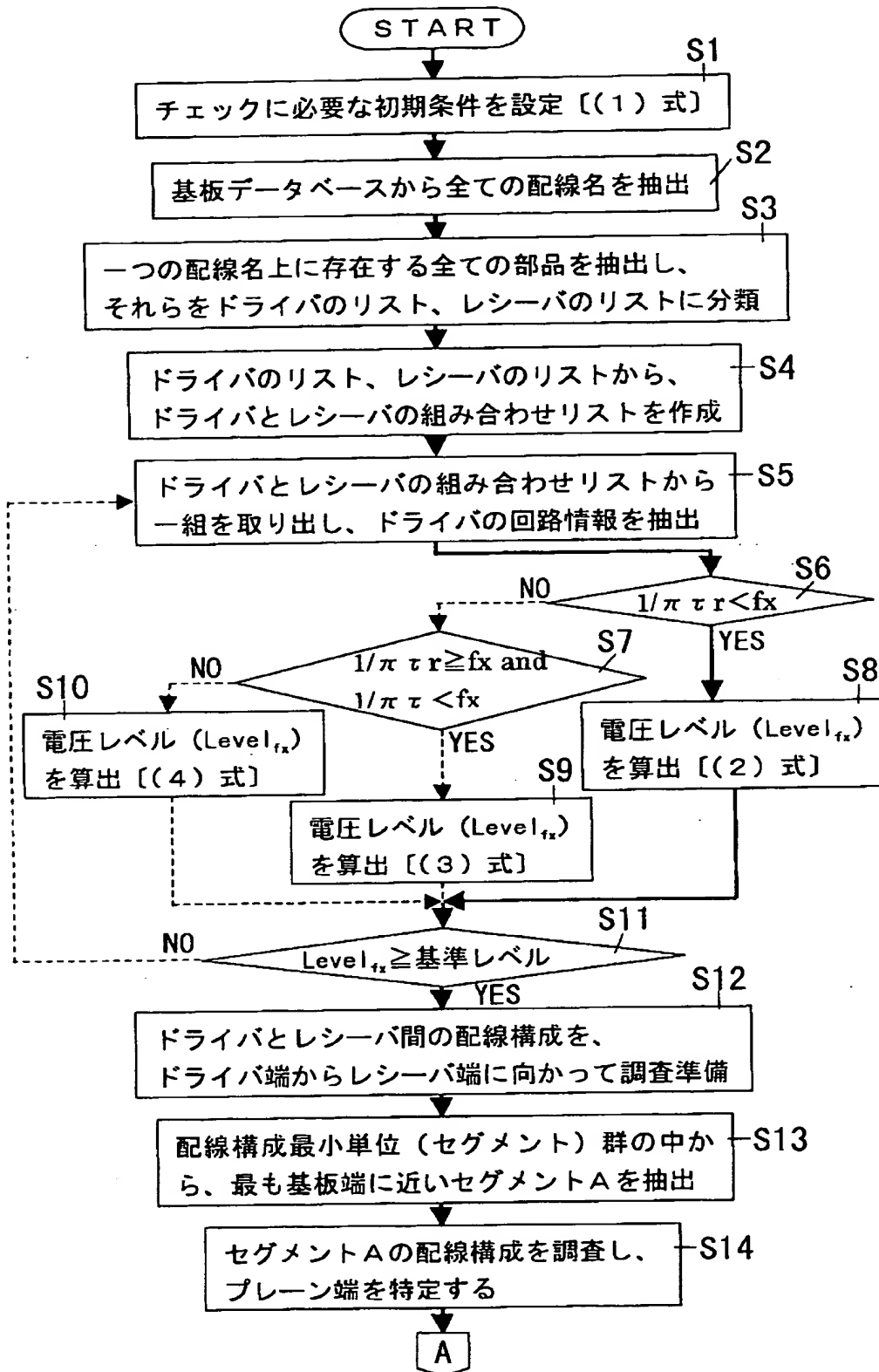
【図 7】



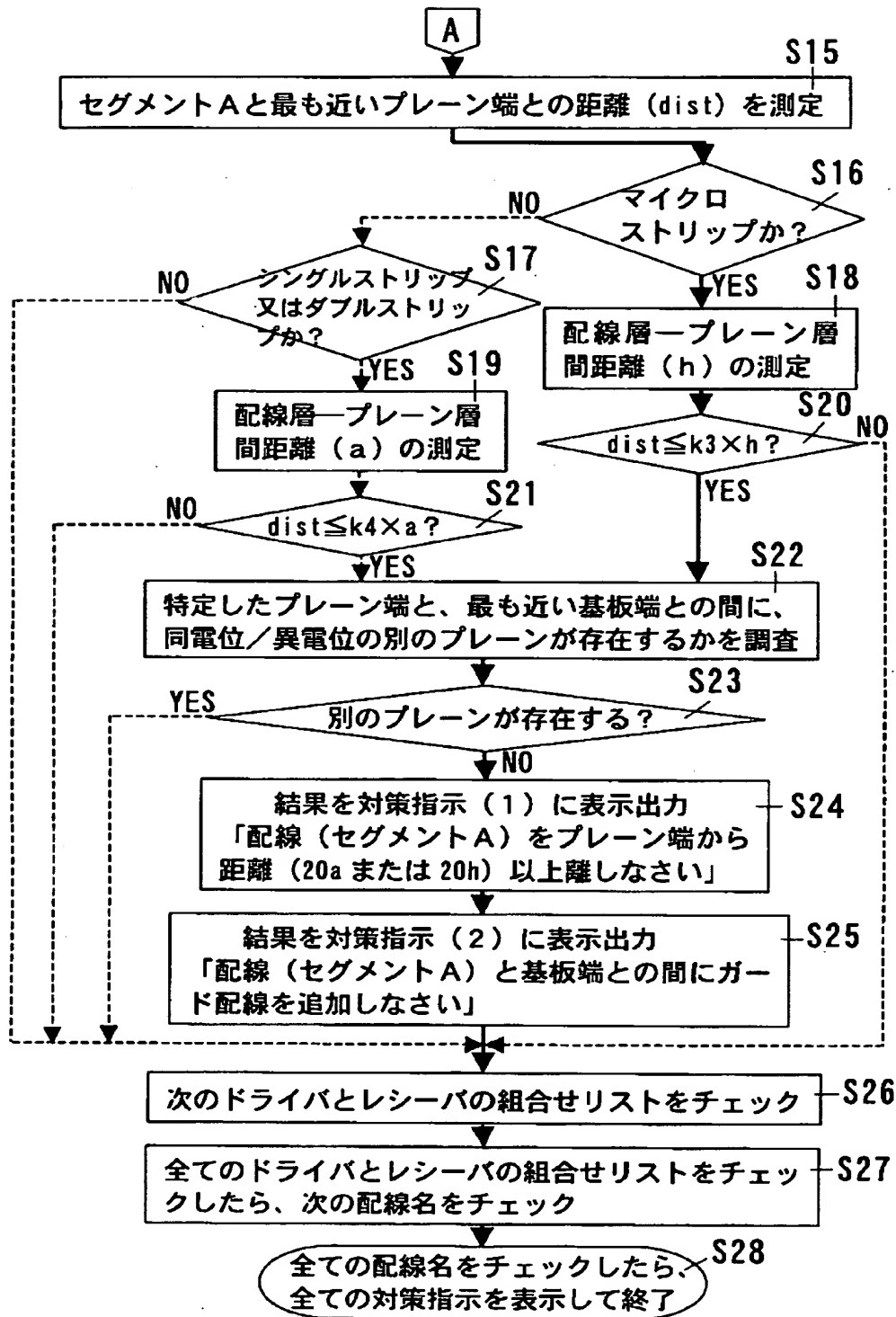
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 チェック対象とする電源プレーン上に配線される高速信号配線の配置を、他配線層への電磁的な悪影響を及ぼさない位置に指定する。

【解決手段】 チェック対象となる信号配線に関し、電源プレーン1上に、高速信号配線13が存在する場合に、該高速信号配線13に最も近い電源プレーン1の端部と該高速信号配線13との垂直距離（dist）を測定すると共に、上記信号配線に係る回路仕様から、上記垂直距離として最低限確保すべき距離を予め計算し、上記測定した垂直距離（dist）と、上記計算した最低限確保すべき距離とを比較して、上記測定した垂直距離（dist）が、上記最低限確保すべき距離を超えていない場合には、上記信号配線名に対応する適切な指示メッセージを表示する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社